

POWER SUPPLY LINE STRUCTURE OF LSI PACKAGE

Patent Number: JP5029531

Publication date: 1993-02-05

Inventor(s): KIKKAI NOBUO

Applicant(s): NEC ENG LTD

Requested Patent: JP5029531

Application Number: JP19910178632 19910719

Priority Number(s):

IPC Classification: H01L23/50

EC Classification:

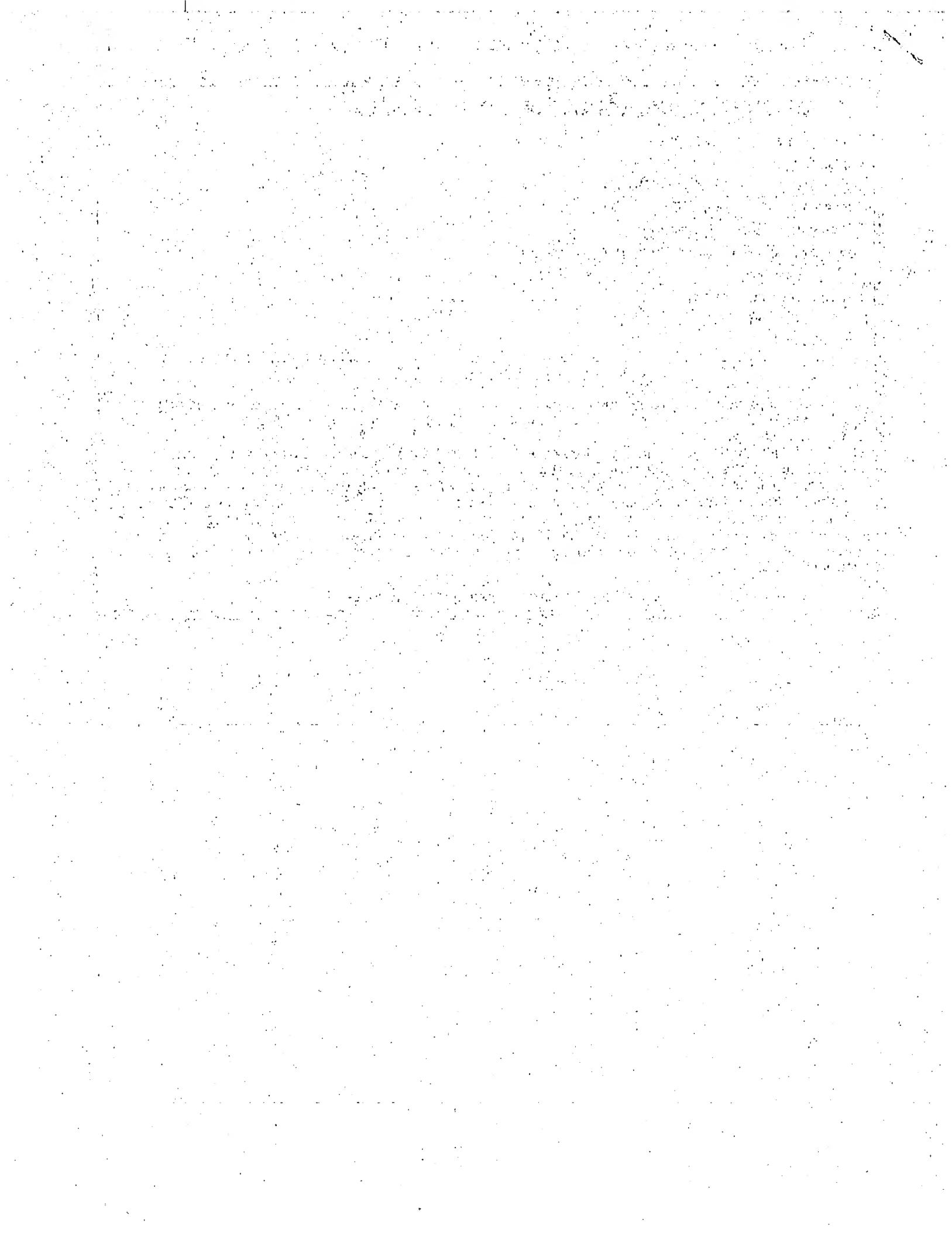
Equivalents:

Abstract

PURPOSE: To prevent the malfunction of a control circuit due to power supply line noise, by dividing power supply lines for a plurality of kinds of circuits mounted on an LSI package into individual power supply lines for the respective circuits.

CONSTITUTION: In the power line structure of an LSI, at least a first circuit and a second circuit are mounted, and a power supply line for the first circuit and a power supply line for the second circuit are provided. That is, inner circuits mounted on an LSI package 1 are roughly divided into a control circuit 3 and an output buffer 6. Power supply lines to be used for both of the circuits are divided into a power supply line 2 for the control circuit and a power supply line 5 for the output buffer. Ground lines are divided into a ground line 4 for the control circuit and a ground line 7 for the output buffer. Thereby it can be prevented that noise generated in the output buffer 6 flows into the power supply lines 2, 7 and malfunction is caused in the control circuit 3.

Data supplied from the esp@cenet database - I2



(19)日本特許庁 (JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-29531

(43)公開日 平成5年(1993)2月6日

(51)出願人 特開平3-178632

(71)出願人 000232047

日本電気エンジニアリング株式会社

(22)出願日 平成3年(1991)7月19日

(72)発明者 吉田 信雄

東京都港区西新橋三丁目20番4号日本電気

エンジニアリング株式会社内

(74)代理人 井里士 内原 春

(52)出願番号 庁内整理番号 F1

9272-4M

技術表示所

審査請求 未請求 審査の数(全3頁)

(75)【特許請求の範囲】

【請求項1】少くとも第1の回路と第2の回路を搭載し、前記第1の回路用の電源供給線と分離された前記第2の回路用の電源供給線とを備えることを特徴とするLSIパッケージの電源ライン構造。

【請求項2】前記第1の回路用の電源線は第1の電源ラインと、第1のグランドラインと、前記第1の電源ライン、グランドラインにそれぞれ接続された第1の回路用のリードフレームとからなり、前記第2の回路用の電源ラインと、第2のグランドラインと、前記第2の回路用の電源ライン、グランドラインにそれぞれ接続された第2の回路用のリードフレームとからなることを特徴とする請求項1に記載のLSIパッケージの電源ライン構造。

【請求項3】前記第1の回路は入力カバッファを含む前記第2の回路は出力カバッファであることを特徴とする請求項1または2記載のLSIパッケージの電源ライン構造。

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例を示すLSIパッケージの構成図である。

【図1】LSIパッケージ1に搭載された内部回路を示す剖面回路図(3入力カバッファを含む)と出力カバッファ6とに大別する。双方の回路に使用される電源ラインは回路用の電源ライン2と出力カバッファ用の電源ライン5とに分け、また、グランドラインを剖面回路用のグラウンドライン4と出力カバッファ用のグラウンドライン7とに分離する。これに伴って、電源ライン2、グランドライン4、電源ライン5、グランドライン7とそれぞれ接続された第2の回路用のリードフレーム11と出力カバッファ用のリードフレーム10、側面回路用の電源ライン12と出力カバッファ用の電源ライン13とに分けられる。

【図1】このような構造のLSIパッケージでは、出力カバッファ6に発生したノイズが電源ラインを回り込んで剖面回路3を動作させることになくなる。

【図2】なお、LSIパッケージ1に搭載する回路は、本実施例で示した2種類に限るものではない。

【図3】本発明の電源回路用のリードフレーム8を脱ける。

【図4】このような構造のLSIパッケージでは、出力カバッファ6に発生したノイズが電源ラインを回り込んで剖面回路3を動作させることになくなる。

【図5】なお、LSIパッケージ1に搭載する回路は、本実施例で示した2種類に限るものではない。

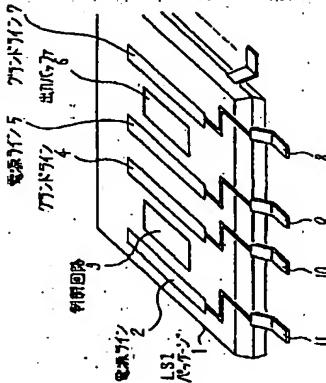
【図6】以上説明したように本発明は、LSIパッケージに搭載された複数種の回路用の電源ラインを回路毎に個別に電源ライン間に接続する電源ライン構造である。

【図7】本発明の電源回路の電源ライン構造では、出力カバッファ6が動作するとき電源ラインが負荷となり、電源ラインノイズによる剖面回路の動作を防止することができる。図面の図中の説明】

【図1】本発明の一実施例を示すLSIパッケージのアロック面である。

【符号の説明】

- 1 LSIパッケージ
- 2, 5 電源ライン
- 3 剖面回路
- 4, 7 グランドライン
- 6 出力カバッファ
- 8, 11 リードフレーム



【54】【発明の名称】LSIパッケージの電源ライン構造

【55】【要約】LSIパッケージ1に搭載された内部回路を側面回路3(入力カバッファを含む)と出力カバッファ6とに大別する。双方の回路に使用される電源ラインを側面回路用の電源ライン2と出力カバッファ用の電源ライン5とに分け、また、グランドラインを剖面回路用のグランドライン4と出力カバッファ用のグランドライン7とに分離する。これに伴って、電源ライン2、グランドライン4、電源ライン5、グランドライン7とそれぞれ接続された剖面回路用のリードフレーム11、側面回路用の電源ライン用のリードフレーム9、出力カバッファ用のリードフレーム8を脱ける。

【56】【効果】電源回路用のリードフレームは第2の電源ラインと、第2のグランドラインとリードフレームによって、剖面回路の動作を防ぐことができる。

(19)日本国特許庁 (JP) (20) 公開特許公報 (A) (21)特許出願公開番号
特開平9-215344 (43)公開日 平成9年(1997)8月15日

